BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images, please do not report the images to the Image Problem Mailbox.

Japan Patent Laid-Open No. : 2-251992
Laid-Open Date : October 9, 1990
Application No. : 1-75360
Application Date : March 27, 1989
Applicant : Matsushita Electric Industrial Co., Ltd.

SPECIFICATION

1. Title of the Invention

Liquid Crystal Display Panel and Manufacturing Method Therefor

2. Claim

(1) A liquid crystal display panel, wherein a switching element for driving a picture element and a scanning circuit for applying a signal to a gate signal line to which said switching element is connected are formed on a semiconductor substrate, and a driving IC is connected to a source signal line to which said switching element is connected through a conductive junction layer.

(2) The liquid crystal display panel as claimed in claim 1, wherein an output current control circuit is formed on an output part of a scanning circuit.

(3) The liquid crystal display panel as claimed in claim 1, wherein a plurality of switching elements are formed on one picture element.

(4) The liquid crystal display panel as claimed in claim 1, wherein an inspection electrode is formed between an electrode to which a driving IC is connected and a display region where a switching element is formed.

(5) The liquid crystal display panel as claimed in claim (2), wherein said output current control circuit is adapted to switch between the normal output current state and the output current limiting state according to an applied signal of an external input signal.

(6) A method for manufacturing a liquid crystal display panel,

comprising the steps of: forming a switching element for driving a picture element and a scanning circuit on a polysilicon substrate; installing a substrate where a counter electrode is formed on said substrate; injecting liquid crystal between said substrates to be formed into a panel; operating said scanning circuit; conducting an inspection process for said liquid crystal panel by use of an inspection pad; and subsequently connecting a driving IC where a projecting electrode is formed to a source signal line through a conductive junction layer.

(7) The method for manufacturing a liquid crystal panel as claimed in claim (6), wherein said inspection process is conducted by detecting an electric current flowing through a source signal.

3. Detailed Description of the Invention

Field of the invention

This invention relates to a liquid crystal display panel used in an active matrix type liquid Crystal device and a manufacturing method therefor.

Prior art

Recently with the increase in the number of picture elements of a liquid crystal display device, the number of scanning lines has been increased, and in the conventional simple matrix type liquid crystal display device, the display contrast and the response speed are deteriorated, so an active matrix type liquid crystal display device having a switching element in each picture element has been utilized. However, it is necessary to form tens of thousands or more of thin film transistors (hereinafter referred to as TFT) in an active matrix array used in the above liquid crystal display device. Accordingly, it is difficult to manufacture all active matrix arrays without defect, and in the present technology, it is necessary to inspect the TFT formed on the active matrix array to discriminate the quality. So the liquid crystal display panel in which the TFT on the active matrix array can be easily inspected and a manufacturing method therefor have been expected.

The conventional liquid crystal display panel will now be described with reference to the attached drawings. Figure 9(a) is a

plan view of the conventional liquid crystal display panel. Figure 9 (b) is a cross sectional view taken along line EE' of Figure 9 (a). Parts not needed for description are omitted, and to facilitate the description, enlarged or exaggerated parts are existent. Further in order to facilitate drawing figures, the number of signal lines and the number of IC of the liquid crystal panel are considerably reduced. So with the following drawings.

In Figures 9 (a) and (b), 90 is a liquid crystal, 91 is a substrate formed by soda glass, 92 is a substrate where a counter electrode is formed (hereinafter referred to as a counter substrate), 93 is a gate signal line, 94 is a source signal line, 95 is a connecting electrode forming part formed on the substrate 91 for connection to a flexible substrate 96, the reference numeral 96 is a flexible substrate for connecting a gate or source signal line and a lead wire 101 on the substrate 97 loaded with IC, 97 is a printed wiring board to be loaded with a scanning IC 98 or a source IC 99 (hereinafter referred to as IC substrate), 98 is an IC for applying a signal to the gate signal line 93 of the liquid crystal display panel (hereinafter referred to as scanning IC), 99 is an IC for applying a signal to the source signal line 94 of the liquid crystal display panel (hereinafter referred to as source IC), and 100 is resin for sealing a liquid crystal 90 between the substrate 91 and the counter substrate 92 (hereinafter referred to as sealing resin). Hereinafter the same reference numbers and the same symbols designate the same constitution or the same content. Figure 10 is a partial equivalent circuit diagram of a TFT group formed on a part on the substrate 91, which faces to the liquid crystal. In Figure 10, $T_{11} \sim T_{44}$ are TFT, $S_1 \sim S_4$ are source signal lines, $G_1 \sim G_4$ are gate signal lines, and $P_{11} \sim P_{44}$ are picture element electrodes. Figure 11 is a partial enlarged plan view of the connecting electrode forming part 95. In Figure 11, the reference numeral 110 is a connecting electrode.

As is clear in Figures 9 11, in the conventional liquid crystal panel, a TFT group and a connecting electrode are formed on the glass substrate 91 and further a counter substrate is installed to be formed into a panel. The IC for applying a signal to the said panel

is loaded on the IC substrate 97 by soldering, and the substrate and the panel are connected to each other by the flexible substrate 96. An anisotropic conductive film is used for connecting the flexible substrate 96, and the flexible substrate 96 and the connecting electrode, and the flexible substrate 96 and the lead wire 101 are connected to each other by hot thermocompression bonding.

A manufacturing method for the conventional liquid crystal display panel will now be described. Figure 12 (a) is a plan view of a substrate after an array forming process. Figure 12 (b) is a cross sectional view taken along line FF' of Figure 12 (a). In Figures 12 (a) and (b), 120 is a TFT group forming part shown in Figure 10 (hereinafter referred to as display region). First, in the array forming process, a metal thin film and an amorphous silicon thin film or the like are stacked in layer on soda glass, and a display region 120, signal lines 93,94 and a connecting electrode 110 are formed. Figure 13 (a) is a plan view of a substrate after a panelling process. Figure 13 (b) is a cross sectional view taken along line G G' of Figure 13 (a). After the array forming process, the substrate is sent to the panelling process. In this process, a counter substrate 92 is installed on the display region, and the peripheral part is sealed with sealing resin, and to a liquid crystal 90 is injected. After the end of the process, a non-defective unit is sent to the next inspection process. Figure 14 is a diagram for explaining the inspection process. In Figure 14, the reference numeral 140 is a short generated at the intersectional point of a gate signal line G3 and a source signal line S3 (hereinafter referred to as cross short), 141 is resistance value measuring means, $PS_1 \sim PS_4$ and $PG1 \sim PG_4$ are connecting means such as a probe or the like (hereinafter referred to as probe). $SS_1 \sim SS_4$ and $SG_1 \sim SG_4$ are select means comprising a relay or an analog switch or the like (hereinafter referred to as switch). In the inspection process, it is an object to mainly detect cross short which becomes a critical display defect. In this process, the probes $PG_1 \sim PG_4$ are pressed to the gate signal lines $G_1 \sim G_4$ of the liquid crystal display panel, and the probes $PS_1 \sim PS_4$ are pressed to the source signal lines. Normally 200 or more

signal lines of the liquid crystal display panel are formed, so it is difficult to press the probes to all signal lines at one time. Then, the probes are installed on an XY stage or the like and moved to be sequentially pressed, and inspection is performed. After pressing the probes, only the switch SS_1 is closed and the switches SG_1 to SG_4 are sequentially closed to measure the resistance value in each state by the resistance value measuring means 141. In order to conduct the above operation for all gate signal lines, the probes $PG_1 \sim PG_4$ are sequentially moved to conduct the operation. Subsequently, only the switch SS_2 is closed, and similarly the switches SG_1 to SG_4 are sequentially closed. On the other hand, the probes $PG_1 \sim PG_4$ are moved to conduct the operation. By performing the above operation with the switches $SS_1 \sim SS_4$ sequentially closed and moved, the resistance value between all gate signal lines and the source signal lines are measured. The resistance value is measured as high resistance if the intersectional point of the gate signal line and the source signal line is normal, and if short-circuited, low resistance is measured. In Figure 14, since cross short 140 is caused, when the switches SG_3 and SS_3 are closed, a low resistance value is measured. The unit in which cross short is caused is discarded as defective unit. The connecting process will now be described. In the connecting process, first the scanning IC 98 or the source IC 99 is loaded on the IC substrate 97. Subsequently, an anisotropic conductive film is formed on the flexible substrate 96. Next, the flexible substrate 96 is positioned according to the position of the lead wire 101 of the IC substrate 97 and the connecting electrode forming part 95 and then connected to each other by thermocompression bonding. A liquid crystal display panel is completed through the above processes.

Problems to be solved by the invention

Nowadays the space of signal lines of the liquid crystal display panel has a tendency to be made fine to 200 μm or less. Further, the number of signal lines has a tendency to increase to hundreds or more. Accordingly, in the conventional liquid crystal display panel and manufacturing method therefor, the following serious

problems are caused in the inspection process. In the liquid crystal display panel, it is necessary to detect cross short which becomes a critical display defect in the inspection process to discriminate the quality of the liquid crystal display panel. Further it is preferable to detect a source-drain open circuit of the TFT which becomes a black spot-like display defect (hereinafter referred to as S.D open), gate-drain short (hereinafter referred to as G.D short), and a source-drain short of the TFT which becomes a white-spot like display defect (hereinafter referred to as S.D short). In order to perform the described inspection, it is necessary to press the probe to a source signal line of the liquid crystal display panel and a draw-out electrode of a gate signal line to make electric connection. However, the draw-out electrode of the signal line has a tendency to be made fine, so it becomes gradually difficult to position the probe accurately. The more the microprocessing is advanced, the longer positioning time is required. The number of signal lines of the liquid crystal display panel also has a tendency to be increased, and as the number of probes to be pressed at one time is limited, the number of times of moving the probe is increased and long time is needed for the inspection. For example, even if the number of signal lines is 200 x 400, when 25 x 25 probes are pressed at one time and 25 x 25 probes are inspected each for 10 seconds, about 20 minutes are needed for the inspection. Further, point defects such as S.D short, G.D short and S.D open defects can be hardly detected in the conventional inspection process, and ordinarily the detection is not performed. Concerning the described point defects, after the liquid crystal display panel is perfectly completed, inspection by display is performed to discriminate the quality. However, when defective units are found after completion, the rate of rebounding to the manufacturing cost is large, and it is a serious problem.

Means for solving the problems

In order to solve the above problems, according to the present invention, a liquid crystal display panel comprises a switching element for driving a picture element and a scanning circuit for applying a signal to a gate signal line to which the switching

element is connected, formed to a polysilicon substrate, and a driving IC where a projecting electrode is formed is connected to a source signal line to which the switching element is connected through a conductive junction layer.

Further, a method for manufacturing a liquid crystal display panel of the present invention comprises the steps of: forming a switching element for driving a picture element and a scanning circuit to a polysilicon substrate; installing a substrate where a counter electrode is formed on the said substrate; injecting liquid crystal between the said substrates to be formed into a panel; operating the scanning circuit; conducting an inspection process for the liquid crystal panel by use of an inspection pad; and subsequently connecting a driving IC where a projecting electrode is formed to a source signal line through a conductive junction layer.

Operation

The liquid crystal display panel of the present invention is provided with a TFT for driving a picture and a scanning circuit formed to a polysilicon substrate. By operating the scanning circuit, voltage for operating the TFT (hereinafter referred to as ON- state voltage) or voltage for not operating the TFT (hereinafter referred to as OFF-state voltage) can be applied to an arbitrary gate signal line. Accordingly, the probes are pressed to all gate signal lines at one time to obtain the similar effect to that in the case of applying a signal. Further, according to the method for manufacturing the liquid crystal display panel of the present invention, as the source IC is loaded after the inspection on the liquid crystal display panel, it is not necessary to consider the input impedance of the source IC at the time of inspection. Accordingly, sure and stable inspection can be performed.

Embodiment

One embodiment of a liquid crystal display panel according to the present invention will now be described with reference to the attached drawings. Figure 1 (a) is a plan view of a liquid crystal display panel according to the present invention. Figure 1 (b) is a cross sectional view taken along line AA' of Figure 1 (a), and Figure

1 (c) is a cross sectional view taken along line B B' of Figure 1 (a). In Figures 1 (a), (b), (c), 10 is a liquid crystal, 11 is a semiconductor substrate consisted of polysilicon or the like, 12 is a counter substrate, 13 is a part where an electrode for inspecting the liquid crystal display panel is formed (hereinafter referred to as an inspecting electrode forming part), 14 is a chip-like source IC, 15 is a gate signal line, 16 is a source signal line, 17, 18 are lead wires, 19 is a forming part of a scanning circuit for applying and scanning ON-state voltage or OFF-state voltage to a gate signal line, and 20 is sealing resin. As is clear in Figures 1 (a), (b) and (c), the liquid crystal display panel of the present invention is provided with a TFT and a scanning circuit formed to a polysilicon substrate. Further in the periphery of a display region, an inspection electrode corresponding to each signal line is formed, and a source IC 14 chip is connected to the source signal line by glass on chip technology (hereinafter referred to as COG technology). Further the liquid crystal display panel of the present invention will be described with reference to Figures 2 $\sim$ 4. First, Figure 2 is a partial equivalent circuit diagram of a display region part where a TFT is formed. In Figure 2, $TM_{11} \sim TM_{24}$ and $TS_{11} \sim TS_{44}$ are TFT. As is clear in Figure 2, in the liquid crystal display panel of the present invention, two TFTs are formed on one picture element electrode and the above two TFTs are respectively connected to different gate signal line and source signal line. Figure 3 (a) is a partial enlarged plan view of a source IC 14 and lead wire 18 part. In Figure 3 (a), 30 is an electrode formed on the substrate 11 for connection to the terminal of the source IC 14 chip (hereinafter referred to as IC connecting electrode), and a dotted line indicated by 31 shows the loading position of the source IC 14 chip. As described above, the source IC 14 chip is connected to the source signal line of the liquid crystal display panel of the present invention through the IC connecting electrode 30. Figure 3 (b) is a block diagram of a scanning circuit of a scanning circuit forming part 19. In Figure 3 (b), 32 is a shift register circuit, 33 is a latch circuit for latching and retaining the logical output of the shift

register circuit 32, 34 is a drive circuit for outputting ON-state voltage and OFF-state voltage according to the logical output of the latch circuit 33, and 35 is an output current limiting circuit having a function of limiting the current input and output to and from the output terminals $X_1 \sim X_n$ to a regulated value or less. The output current limiting circuit 35 is capable of releasing or operating a limiting function of an input/output current according to the logical input of the CL terminal. Normally during the inspection process, it is operated, and in the display state, it is released. The shift register circuit 32 outputs the logical output with H or L level according to data which a clock Ø is inputted to SP^1 or SP^2. The above logical output is passed through the latch circuit 33 or retained in the latch circuit 33, and ON-state voltage or OFF-state voltage are outputted from the drive circuit. Figure 4 is a partial enlarged plan view of an inspection electrode forming part 13. In Figure 4, the reference numeral 41 is an inspection electrode. As is clear in Figure 4, all source signal lines or gate signal lines are drawn out to the inspection electrode 41. From the inspection electrode 41, they are drawn out one by one to be guided to the scanning circuit forming part 19 or the IC connecting electrode 30. The above inspection electrode 41 is formed at least in the source signal line.

The method for manufacturing a liquid crystal display panel of the present invention will now be described. Figure 5 (a) is a plan view of the substrate 11 after the array forming process. Figure 5 (b) is a cross sectional view taken along line CC' of Figure 5(a). First, in the array forming process, a TFT, a scanning circuit and so on is formed to a polysilicon substrate by semiconductor technology. Further, an IC connecting electrode 30 is formed, too. After the array forming process, it proceeds to the next panelling process. Figure 6 (a) is a plan view of a substrate after the panelling process. Figure 6 (b) is a cross sectional view taken along line DD' of Figure 6 (A). In this process, a counter substrate 12 is installed on a display region where the TFT is formed, and after the peripheral part is sealed with sealing resin, the space between the

said substrates is evacuated and a liquid crystal 10 is injected. After the end of the above process, a non-defective unit advances to the next inspection process. Figure 7 is a diagram for explaining a liquid crystal display panel in the inspection process. In Figure 7, in order to facilitate description, a scanning circuit 19 is drawn only on the left side of the drawing. In Figure 7, the reference 70 is S.D short , 71 is G.D short, 74 is cross short, 72 is signal applying means for applying d.c. voltage, 73 is signal detecting means for detecting signals, for example, a current or the like, QS_2, QS_4 are probes, and US_2, US_4 are switches. First, the detection method for cross short 74 will be described. The probes $PS_1 \sim PS_5$ are pressed to the inspection electrode 41 formed on the end of the source signal line. Subsequently, the scanning circuit 19 is operated to apply OFF-state voltage to all gate signal lines. Here, OFF-state voltage is taken as - voltage, and ON-state voltage is taken as + voltage. Next, the switches SS_1 to SS_5 are sequentially closed one by one, and in each state, the presence/absence of output voltage or current is measured by signal detecting means 73. As cross short 74 occurs now, when the switch SS_3 is closed, OFF-state voltage is detected by the signal detecting means 73. Accordingly, it is known that the source signal line S_3 and the gate signal line are short-circuited. Subsequently, with the switch SS_3 closed, ON-state voltage is applied to the gate signal line G_1 and sequentially shifted to the last gate signal line. In the above described respective states, whether there is the change in the OFF-state voltage or not is monitored by the signal detecting means 73. When ON-state voltage is applied to the gate signal line G_3, a signal detected by the signal detecting means 73 changes from OFF-state voltage to ON-state voltage. Accordingly, the occurrence of cross short in the gate signal line G_3 and the source signal S_3 can be detected. Since the output current limiting circuit 35 is formed in the scanning circuit 19, even if cross short occurs, or even if adjacent short of the gate signal line occurs, overcurrent will not flow, and that is why the panel and the scanning circuit can be stably inspected without breakage.

The inspection can be performed by conducting the above

operation to the other source signal lines by moving the probes $PS_1 \sim PS_5$.

The detecting method for C.D short 71 will now be described. First the probes $PS_1 \sim PS_5$ are pressed to the inspection electrode 41 formed on end of the source signal line. Next, the scanning circuit 19 is operated to apply ON-state voltage to the gate signal line G_1 and apply OFF-state voltage to the other gate signal lines. At that time, select means, SS_1 to SS_5, are closed sequentially and selectively, and the presence/absence of output current in each source signal line is measured by the signal detecting means 73. The above operation is conducted for all of the gate signal lines similarly to the description on the cross short. When ON-state voltage is applied to the gate signal line G_4 and the select means SS_3 is closed, G.D short 71 occurs in TM_{33} of the TFT and the TM_{33} of the TFT is in the operating state, so that a current path, the gate signal line G_4 -> G.D short 71 -> TM_{33} drain -> TM_{33} source -> source signal line S_3 -> PS_3 -> SS_3 -> the signal detecting means 73, is produced, from which the occurrence of defect in the TM_{33} of the TFT can be detected. The above operation is conducted for all source signal lines by moving the probes.

Lastly the detection method for S.D short will be described. First, the probes $PS_1 \sim PS_5$ and QS_2, QS_4 are pressed to the inspection electrode 41. Subsequently, the scanning circuit 19 is operated to apply ON-state voltage only to the gate signal line G_1 and apply OFF-state voltage to the other gate signal lines. Next, the select means US_2 and US_4 are closed to apply voltage from the signal applying means 72 to the souse signal lines S_2 and S_4. Subsequently, the select means SS_1, SS_3, SS_5 are closed sequentially and selectively to measure the presence/absence of output voltage in the respective source signal lines S_1, S_3, S_5 by the signal detecting means 73. Next, ON-state voltage is applied only to the gate signal line G_3 and the above operation is conducted. The above operation is performed for all of the gate signal lines. As S.D short 70 occurs in the TM_{22} of the TFT, ON-state voltage is applied to the

gage signal line G2, and the TS22 of TFT is put in the operating condition, and when the select means SS_{22} is closed, a current path, the signal applying means 72 -> US_2 -> QS_2 -> source signal line S_2 -> S.D short 70 -> P_{22} -> TS_{22} of TFT -> source signal line S_3 -> PS_3 -> SS_3 -> the signal detecting means 73, is produced, from which the occurrence of S.D short 70 can be detected. The above operation is performed for all of source signal lines by moving the probes.

After the end of the inspection process, a non-defective unit is subjected to the source IC connecting process. Figure 8 is a cross sectional diagram in which the source IC 14 is adhered to the IC connecting electrode 30. In Figure 8, the reference numeral 80 is a projecting electrode, and 81 is a conductive junction layer. The above projecting electrode is consisted of An and formed on the terminal of the source IC 14 like a two-stage projection by use of ball bonding or nail head bonding technology. Further a conductive junction layer several tens of μm thick is formed on the above projecting electrode. The conductive junction layer is consisted of mixture of epoxy series and phenol series as an adhesive as main agent and flakes of As, Au, Ni, C, Sn, O_2, and formed by transfer or the other technology. The source IC 14 is connected to the IC connecting electrode 41 in respect of electrode through the projecting electrode and the conductive junction layer. Next, the conductive junction layer is final-hardened by means such as an electric oven, a heat column or the like to complete a liquid crystal display panel.

Though in the description of the manufacturing method for the liquid crystal display panel of the present invention, an inspection process is conducted after a panelling process, it is apparent that even if the panelling process is conducted after the inspection process, the same effect can be produced. Accordingly, after the inspection process, the panelling process may be conducted.

Though the liquid crystal display panel of the present invention has two TFTs formed on one picture element electrode, this is not restrictive.

Advantages of the invention

According to the present invention, a liquid crystal display panel is so constructed that a TFT for driving a picture element and a scanning circuit are formed to a semiconductor substrate and a source IC is loaded by COG technology. As the scanning circuit has a comparatively small circuit scale and can be easily formed, the rate of occurrence of defect and failure is low. If the function of the source IC is incorporated in the semiconductor substrate, the circuit for realizing the above function is large so that the defect and failure are liable to occur. Accordingly, the yield of manufacturing the liquid crystal display panel of the present invention is remarkably high as compared with that in which the function of the source IC is incorporated in the semiconductor substrate. Though the liquid crystal display panel connected to the scanning IC by use of the conventional flexible substrate can not cope with the signal line pitch of a fine pattern 100 μm or less, the liquid crystal display panel of the present invention can satisfactorily cope with the above pitch.

In the method for manufacturing a liquid crystal display panel according to the present invention, an inspection process is conducted before the connection of the source IC. In the inspection process, a current generated at the time of S.D short is normally very small, 1 μA or less. Accordingly, if the source IC is put in the connecting state or formed in the inspection process, the input impedance of the above IC influences. So, it is difficult to detect a very small current, so that defect can not be detected. Furthermore, only by operating the scanning circuit, ON-state voltage or OFF-state voltage can be applied to all of gate signal lines at one time. Accordingly, the same effect as that in the case of pressing the probes to all gate signal lines can be produced, and the inspection time is remarkably reduced. Further, it is sufficient to perform pressing of the probes only on the source signal line side, which results in reducing the manufacturing cost of the probes. The liquid crystal display panel of the present invention is so constructed that two TFTs are formed on one picture element electrode and voltage can be applied to all of gate signal lines at one time by a scanning circuit, whereby even S. D open and S. D short

which could not be detected in the conventional liquid crystal display panel can be detected. Thus, after the formation of a scanning circuit, the quality of the liquid crystal display panel can be determined at high speed and easily, so it is very advantageous.

4. Brief Description of the Drawings

Figures 1 (a) ~ (c) are a plan view and cross sectional views of a liquid crystal display panel according to the present invention;

Figure 2 is a partial equivalent circuit diagram of a display region of the liquid crystal display panel according to the present invention;

Figure 3 (a) is a partial enlarged plan view of a source IC connecting part;

Figure 3 (b) is a functional block diagram of a scanning circuit;

Figure 4 is a partial enlarged plan view of an inspection electrode forming part of the liquid crystal display panel according to the present invention;

Figures 5 (a) and (b) ~ Figure 8 are diagrams for explaining a method for manufacturing a liquid crystal display panel according to the present invention;

Figures 9 (a) and (b) are a plan view and cross sectional views of the conventional liquid crystal display panel;

Figure 10 is a partial equivalent circuit diagram of a display region of the conventional liquid crystal display panel;

Figure 11 is a partial enlarged plan view of a connecting electrode forming part for connecting a flexible substrate; and

Figures 12 (a) and (b) ~ Figure 14 are diagrams for explaining the conventional method for manufacturing a liquid crystal display panel.

10, 90: liquid crystal 11, 91: substrate 12, 92: counter electrode 13: inspection electrode forming part 14: source IC 15, 93: , $G_1 \sim C_4$: gate signal line 16, 94, $S_1 \sim S_5$: source signal line 17, 18: lead wire 19: scanning circuit forming part 20, 100: sealing resin $P_{11} \sim P_{44}$: picture element electrode $T_{11} \sim T_{44}$, $TM_{11} \sim TM_{24}$, $TS_{11} \sim TS_{44}$: TFT, 30: IC connecting electrode 31: IC loading

position 32: shift register circuit 33: latch circuit 34: drive circuit 35: output current limiting circuit 41: inspection electrode 70: S.D short 71: G.D short 72: signal applying means 73: signal detecting means 74, 140: cross short $PS_1 \sim PS_4$, $PG_1 \sim PG_4$, QS_2, QS_4: connecting means $SS_1 \sim SS_4$, $SG_1 \sim SG_4$, US_2, US_4: select means 80: projecting electrode 81: conductive junction layer 95: connecting electrode forming part 96: flexible substrate 97: IC substrate 98: scanning IC 99: source IC 101: lead wire 110: connecting electrode 141: resistance value measuring means

03276492
LIQUID CRYSTAL DISPLAY PANEL AND ITS MANUFACTURE

PUB. NO.: **02-251992** [JP 2251992 A]
PUBLISHED: October 09, 1990 (19901009)
INVENTOR(s): TAKAHARA HIROSHI
APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company or Corporation), JP (Japan)
APPL. NO.: 01-075360 [JP 8975360]
FILED: March 27, 1989 (19890327)

ABSTRACT

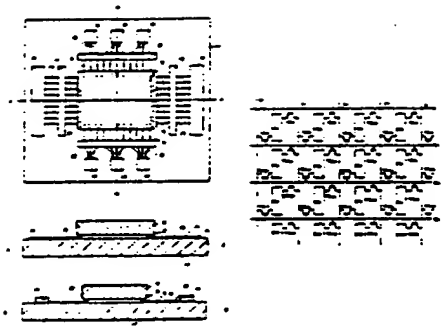
PURPOSE: To easily inspect TFTs on an active matrix array by connecting a driving IC to a source signal line to which a switching element is connected through a conductive joint layer.

CONSTITUTION: The liquid crystal display panel has thin film transistors(TFT) TM11 - TM34 and TS11 - TS44 for picture element driving and a scanning circuit 19 on a polysilicon substrate 11. The scanning circuit 19 is put in operation to apply an optional gate signal line 15 with a voltage which operates the TFTs or a voltage which does not operate the TFTs. Therefore, a probe is pressed against all gate signal lines 15 at a time to obtain effect similar t that at the time of signal application. Further, a source IC 14 is mounted after the liquid crystal display panel is inspected, so the impedance of a source IC 14 need not be considered at the time of inspection and secure and stable inspection is therefore performed. Consequently, the manufacture yield is improved and it is easily decided fast whether or not the liquid crystal display panel is normal.

(54) LIQUID CRYSTAL DISPLAY PANEL AND ITS MANUFACTURE
(11) 2-251992 (A) (43) 9.[illegible] (19) JP
(21) Appl. No. 64-73366 (22) [illegible]
(71) MATSUSHITA ELECTRIC IND CO LTD (72) HIROSHI TAKAHARA
(51) Int. Cl. G09F9 30.G02F1 13.G02F1 1345

PURPOSE: To easily inspect TFTs on an active matrix array by connecting a driving IC to a source signal line to which a switching element is connected through a conductive joint layer.

CONSTITUTION: The liquid crystal display panel has thin film transistors(TFT) TM11 - TM34 and TS11 - TS44 for picture element driving and a scanning circuit 19 on a polysilicon substrate 11. The scanning circuit 19 is put in operation to apply an optional gate signal line 15 with a voltage which operates the TFTs or a voltage which does not operate the TFTs. Therefore, a probe is pressed against all gate signal lines 15 at a time to obtain effect similar t that at the time of signal application. Further, a source IC 14 is mounted after the liquid crystal display panel is inspected, so the impedance of a source IC 14 need not be considered at the time of inspection and secure and stable inspection is therefore performed. Consequently, the manufacture yield is improved and it is easily decided fast whether or not the liquid crystal display panel is normal.



⑲日本国特許庁（JP）　⑪特許出願公開

⑫公開特許公報（A）　平2−251992

⑤Int. Cl.⁵		識別記号	庁内整理番号
G 09 F	9/30	338 P	6422−5C
G 02 F	1/13	101	8910−2H
	1/1345		7370−2H
G 09 F	9/30	346	6422−5C

⑬公開　平成2年(1990)10月9日

審査請求　未請求　請求項の数 7　（全12頁）

⑭発明の名称　液晶表示パネルおよびその製造方法

⑳特　願　平1−75360
㉒出　願　平1(1989)3月27日

㉑発明者　高原　博司　大阪府門真市大字門真1006番地　松下電器産業株式会社内
㉑出願人　松下電器産業株式会社　大阪府門真市大字門真1006番地
㉔代理人　弁理士　粟野　重孝　外1名

明　細　書

1．発明の名称

液晶表示パネルおよびその製造方法

2．特許請求の範囲

(1)　半導体基板に絵素を駆動するスイッチング素子と、前記スイッチング素子が接続されたゲート信号線に信号を印加する走査回路が形成され、前記スイッチング素子が接続されたソース信号線に、駆動用ＩＣが導電性接合層を介して接続されていることを特徴とする液晶表示パネル。

(2)　走査回路の出力部に出力電流制御回路が形成されていることを特徴とする請求項(1)記載の液晶表示パネル。

(3)　スイッチング素子は一絵素に複数個形成されていることを特徴とする請求項(1)記載の液晶表示パネル。

(4)　駆動用ＩＣを接続する電極とスイッチング素子が形成された表示領域間に検査用電極が形成されていることを特徴とする請求項(1)記載の液晶表示パネル。

(5)　出力電流制御回路は外部入力信号の印加信号により、通常出力電流状態と出力電流制限状態を切り換えられることを特徴とする請求項(2)記載の液晶表示パネル。

(6)　ポリシリコン基板上に絵素を駆動するスイッチング素子と走査回路を形成し、前記基板上に対向電極が形成された基板を取りつけ、前記基板間に液晶を注入してパネル化し、走査回路を動作させ、かつ検査用パットを用いて前記液晶パネルの検査工程をおこない、次にソース信号線に突起電極が形成された駆動用ＩＣを導電性接合層を介して接続することを特徴とする液晶表示パネルの製造方法。

(7)　検査工程はソース信号を流れる電流を検出することにより行なうことを特徴とする請求項(6)記載の液晶表示パネルの製造方法。

3．発明の詳細な説明

産業上の利用分野

本発明はアクティブマトリックス型液晶表示装置に用いる液晶表示パネルおよびその製造方法に

関するものである。

従来の技術

近年、液晶表示装置の絵素数増大に伴って、走査線数が増え、従来から用いられている単純マトリックス型液晶表示装置では表示コントラストや応答速度が低下するため、各絵素にスイッチング素子を配置したアクティブマトリックス型液晶表示装置が利用されつつある。しかしながら前記液晶表示装置に用いるアクティブマトリックスアレイには数万個以上の薄膜トランジスタ（以後ＴＦＴと呼ぶ）を形成する必要がある。したがってすべてのアクティブマトリックスアレイを無欠陥で作製することは困難であり、現在の技術ではアクティブマトリックスアレイ上に形成されたＴＦＴを検査し、良否を判別する必要がある。そこで容易にアクティブマトリックスアレイ上のＴＦＴを検査することのできる液晶表示パネルおよびその製造方法が待ち望まれていた。

以下、従来の液晶表示パネルについて図面を参照しながら説明する。第９図(a)は従来の液晶表示パネルの平面図である。また第９図(b)は第９図(a)のＥＥ′線での断面図である。なお、説明に不要な箇所は省略しており、説明を容易にするため拡大あるいは誇張して描いている部分が存在する。また、液晶表示パネルの信号線数・ＩＣ数などは作図を容易にするために非常に少なく描いている。以上のことは以下の図面に対しても同様である。第９図(a)(b)において、90は液晶、91はソーダガラスからなる基板、92は対向電極が形成された基板（以下、対向基板と呼ぶ）、93はゲート信号線、94はソース信号線、95はフレキシブル基板96と接続のために基板91上に形成された接続電極形成部、96はゲートまたはソース信号線とＩＣを積載した基板97上の引き出し線 101とを接続するためのフレキシブル基板、97は走査ＩＣ98またはソースＩＣ99を積載するためのプリント基板（以後、ＩＣ基板と呼ぶ）、98は液晶表示パネルのゲート信号線93に信号を印加するためのＩＣ（以後、走査ＩＣと呼ぶ）、99は液晶表示パネルのソース信号線94に信号を印加するためのＩＣ（以後、ソースＩＣと呼ぶ）、100は基板91と対向基板92間に液晶90を封止するための樹脂（以後、封止樹脂と呼ぶ）である。以後、同一番号あるいは同一記号を付したものは同一構成あるいは同一内容のものである。また、第10図は要は91上かつ液晶に面した部分に形成されたＴＦＴ群の一部等価回路図である。第10図においてＴ$_{11}$～Ｔ$_{mn}$はＴＦＴ、Ｓ$_1$～Ｓ$_n$はソース信号線、Ｇ$_1$～Ｇ$_m$はゲート信号線、Ｐ$_{11}$～Ｐ$_{mn}$は絵素電極である。また第11図は接続電極形成部95の一部拡大平面図である。第11図において 110は接続用電極である。

第９図～第11図で明らかなように従来の液晶パネルはガラス基板91上にＴＦＴ群および接続用電極が形成され、また対向基板を取り付けられてパネル化されている。前記パネルに信号を印加するＩＣはＩＣ基板97上にハンダ付けにより積載され、前記基板とパネルとをフレキシブル基板96を用いて接続されている。フレキシブル基板96の接続には異方向性導電膜が用いられ、熱圧着により、フレキシブル基板96と接続用電極およびフレキシブル基板96と引き出し線 101と接続される。

以下、従来の液晶表示パネルの製造方法について説明する。第12図(a)はアレイ形成工程後の基板の平面図を示している。また、第12図(b)は第12図(a)のＦＦ′線での断面図である。第12図(a)(b)において 120は第10図に示すＴＦＴ群形成部（以後、表示領域と呼ぶ）である。まず、アレイ形成工程ではソーダガラス上に金属薄膜およびアモルファスシリコン薄膜などを層上に重ね、表示領域 120、信号線93・94および接続用電極 110を形成する。第13図(a)はパネル化工程後の基板の平面図を示している。また、第13(b)は第13図(a)のＧＧ′線での断面図である。アレイ形成工程後、基板はパネル化工程へ送られる。この工程では表示領域上に対向基板92が取り付けられ、周辺部を封止樹脂で封止、液晶90が注入される。工程終了後、良品は次の検査工程へ送られる。第14図は検査工程の説明図である。第14図において、 140はゲート信号線Ｇ$_2$とソース信号線Ｓ$_2$の交点部に発生したショート（以後、クロスショートと呼ぶ）、 141は抵

抗値測定手段、ＰＳ１～ＰＳｎ及びＰＧ１～ＰＧｎはプローブなどの接続手段（以後プローブと呼ぶ）、ＳＳ１～ＳＳｎおよびＳＧ１～ＳＧｎはリレーまたはアナログスイッチなどからなる選択手段（以後、スイッチと呼ぶ）である。検査工程では主として重大な表示欠陥になるクロスショートを検出することを目的とする。そこでこの工程ではプローブＰＧ１～ＰＧｎを液晶表示パネルのゲート信号線Ｇ１～Ｇｎに、プローブＰＳ１～ＰＳｎをソース信号線に圧接する。通常、液晶表示パネルの信号線は200本以上形成されるため、一度にすべての信号線にプローブを圧接することが困難である。そこでプローブをＸＹステージなどに取り付け移動させていくことにより順次圧接していき検査をおこなう。プローブ圧接後、スイッチＳＳ１のみを閉じ、スイッチＳＧ１から順次ＳＧｎまで閉じていき、各状態での抵抗値を抵抗値測定手段141で測定する。以上の動作をすべてのゲート信号線に対して行えるようにプローブＰＧ１～ＰＧｎを順次移動させておこなう。次にスイッチＳＳｎのみを閉じ、同様にスイッチＳＧ１～ＳＧｎを閉じていき、またプローブＰＧ１～ＰＧｎを移動させておこなう。以上の動作をスイッチＳＳ１～ＳＳｎを順次閉じ、また移動させることにより、すべてのゲート信号線とソース信号線間の抵抗値を測定する。測定される抵抗値はゲート信号線とソース信号線の交点が正常であれば高抵抗が、短絡していれば低抵抗が測定される。第14図ではクロスショート140が発生しているため、スイッチＳＧ２及びＳＳ２を閉じたとき、低抵抗値になる。クロスショートが発生したものは不良として廃棄される。次に接続工程について説明する。接続工程では、ＩＣ基板97上にまず、走査ＩＣ98またはソースＩＣ99などが積載される。次にフレキシブル基板96上に異方向性導電膜が形成される。次にフレキシブル基板96はＩＣ基板97の引き出し線101および接続電極形成部95に位置決めされたのち、熱圧着され接続される。以上の工程を経て液晶表示パネルは完成する。

発明が解決しようとする課題

近年、液晶表示パネルの信号線の間隔は200μm以下と微細化の傾向にある。また信号線の本数は数百本以上と増加の傾向にある。したがって、従来の液晶表示パネルとその製造方法では、検査工程において下記の重大な課題が発生する。液晶表示パネルは検査工程で重大な表示欠陥となるクロスショートを検出し、液晶表示パネルの良否を選別する必要がある。また、黒点状表示欠陥となるＴＦＴのソース・ドレイン間断線（以後、Ｓ・Ｄオープンと呼ぶ）、ゲート・ドレイン間ショート（以後、Ｇ・Ｄショートと呼ぶ）および白点状表示欠陥となるＴＦＴのソース・ドレインショート（以後、Ｓ・Ｄショートと呼ぶ）をも検出することが好ましい。前述の検査を行うためにはプローブを液晶表示パネルのソース信号線およびゲート信号線の引き出し電極に圧接し、電気的接続を取る必要がある。しかし、信号線の引き出し電極も微細化の傾向があり、プローブを正確に位置決めすることが困難になりつつある。また、微細化になるほど位置決め時間も長時間を要する。液晶表示パネルの信号線本数も増大化の傾向にあり、プローブを一度に圧接できる本数にも限度があるため、プローブの移動回数が増大し、検査時間に長時間を要する。たとえば、信号線数が200×400本のものでも、プローブを25×25本を一度に圧接し、25×25のプローブを10秒で検査をおこなっても約20分の検査時間を要する。またＳ・Ｄショート・Ｇ・Ｄショート・Ｓ・Ｄオープン欠陥などの点欠陥は従来の検査工程ではほとんど検出することができず、通常おこなわれていない。前記点欠陥は完全に液晶表示パネルが完成してから表示による検査がおこなわれ、良否の選別がおこなわれる。しかし、完成してから不良品となると、製造コストにはねかえる割合が大きく、重大な課題であった。

課題を解決するための手段

上記課題を解決するため、本発明の液晶表示パネルは、ポリシリコン基板に絵素を駆動するスイッチング素子と、前記スイッチング素子が接続されたゲート信号線に信号を印加する走査回路が形

成され、前記スイッチング素子が接続されたソース信号線に、突起電極が形成された駆動用ＩＣが導電性接合層を介して接続されたものである。

また、本発明の液晶表示パネルの製造方法は、ポリシリコン基板に絵素を駆動するスイッチング素子と走査回路を形成し、前記基板上に対向電極が形成された基板を取り付け、前記基板間に液晶を注入してパネル化し、また、走査回路を動作させ、かつ検査用パッドを用いて、前記液晶パネルの検査工程をおこない、次にソース信号線に突起電極が形成された駆動用ＩＣを導電性接合層を介して接続するものである。

作用

本発明の液晶表示パネルは絵素駆動用のＴＦＴおよび走査回路をポリシリコン基板に形成している。走査回路を動作させることにより、任意のゲート信号線にＴＦＴを動作させる電圧（以後、オン電圧と呼ぶ）またはＴＦＴを動作させない電圧（以後、オフ電圧と呼ぶ）を印加することができる。したがって、全ゲート信号線に一度にプローブを圧接し、信号印加したのと同様の効果が得られる。また、本発明の液晶表示パネルの製造方法は、液晶表示パネルの検査をおこなったのち、ソースＩＣを搭載するものであるから、検査時ソースＩＣの入力インピーダンスを考慮する必要がない。したがって確実・安定な検査をおこなえる。

実施例

以下、本発明の液晶表示パネルの一実施例について図面を参照しながら説明する。第１図(a)は本発明の液晶表示パネルの平面図である。また第１図(b)は第１図(a)のＡＡ′線での断面図、第１図(c)は第１図(a)のＢＢ′線での断面図である。第１図(a)(b)(c)において、10は液晶、11はポリシリコンなどからなる半導体基板、12は対向基板、13は液晶表示パネルの検査をおこなうための電極が形成された部分（以後、検査電極形成部と呼ぶ）、14はチップ状のソースＩＣ、15はゲート信号線、16はソース信号線、17・18は引き出し線、19はゲート信号線にオン電圧またはオフ電圧を印加し走査するための走査回路の形成部、20は封止樹脂である。

第１図(a)(b)(c)で明らかなように本発明の液晶表示パネルはポリシリコン基板にＴＦＴおよび走査回路が形成される。また、表示領域の周辺には各信号線に対応した検査用電極が形成されており、ソース信号線にはガラスオンチップ技術（以後、ＣＯＧ技術と呼ぶ）でソースＩＣ14チップが接続されている。さらに本発明の液晶表示パネルを第２図～第４図を用いて説明する。まず、第２図はＴＦＴが形成された表示領域部の一部等価回路図である。第２図において、TM_{11}～TM_{3n}およびTS_{11}～TS_{3n}はＴＦＴである。第２図で明らかなように、本発明の液晶表示パネルは１つの絵素電極に２つのＴＦＴが形成され、前記２つのＴＦＴはそれぞれ異ったゲート信号線およびソース信号線に接続されている。第３図(a)はソースＩＣ14および引き出し線19部の一部拡大平面図である。第３図(a)において30はソースＩＣ14チップの端子と接続するために基板11上に形成された電極（以後、ＩＣ接続電極と呼ぶ）、31に示す点線はソースＩＣ14チップの搭載位置を示している。

以上のように本発明の液晶表示パネルのソース信号線にはソースＩＣ14チップがＩＣ接続電極30を介して接続されている。第３図(b)は走査回路形成部19の走査回路のブロック図図である。第３図(b)において、32はシフトレジスタ回路、33はシフトレジスタ回路32の論理出力をラッチし保持するためのラッチ回路、34はラッチ回路33の論理出力により、オン電圧またはオフ電圧を出力するドライブ回路、35は出力端子X_1～X_nに入出力する電流を規定値以下に制限できる機能をもつ出力電流制限回路である。なお、出力電流制限回路35はＣＬ端子の論理入力により、入出力電流の制限機能を解除または動作させることができる。通常、検査工程時には動作させ、表示状態では解除される。シフトレジスタ回路32はクロックφをおよびＳＰ′またはＳＰ″に入力されたデータにより、ＨまたはＬレベルの論理出力を出力する。前記論理出力はラッチ回路33を通過またはラッチ回路33に保持され、ドライブ回路からオン電圧またはオフ電圧が出力される。第４図は、検査電極形成部

13の一部拡大平面図である。第4図において41は検査用電極である。第4図で明らかなように検査電極41まではすべてのソース信号線またはゲート信号線は引き出されてきている。検査用電極41からは1本ごとに引き出され、走査回路形成部19またはIC接続用電極30まで導びかれる。前記検査用電極41は少なくともソース信号線には形成される。

以下、本発明の液晶表示パネルの製造方法について説明する。第5図(a)はアレイ形成工程後の基板11の平面図を示している。また、第5図(b)は第5図(a)のCC'線での断面図である。まず、アレイ形成工程ではポリシリコン基板に半導体技術を用いて、TFTおよび走査回路などが形成される。また、IC接続電極30なども形成される。アレイ形成工程後次のパネル化工程へと進む。第6図(a)はパネル化工程後の基板の平面図を示している。また、第6図(b)は第6図(a)のDD'線での断面図である。この工程ではTFTなどが形成された表示領域上に対向基板12が取り付けられ、周辺部を封止剤で封止したのち、前記基板間を真空にして、液晶10が注入される。前記工程終了後、良品は次の検査工程へ進む。第7図は検査工程での液晶表示パネルの説明図である。第7図において説明を容易にするために走査化19は図面の左側にしか描いていない。第7図において、70はS・Dショート、71はG・Dショート、74はクロスショート、72は直流電圧を印加できる信号印加手段、73は電流などの信号を検出するための信号検出手段、QS_1・QS_nはプローブ、US_1・US_nはスイッチである。まず、クロスショート74の検出方法について説明する。プローブPS_1～PS_nはソース信号線端に形成された検査用電極41に圧接される。次に走査回路19を動作させ、すべてのゲート信号線にオフ電圧を印加する。なお、ここでは、オフ電圧を－電圧、オン電圧を＋電圧として取り扱う。次にスイッチSS_1からSS_nまで順次1ずつ閉じていき、各状態で出力電圧または電流がないかを信号検出手段73で測定する。今、クロスショート74が発生しているため、スイッチSS_2を閉じた時、オフ電圧が手段検出手段73に検出される。したがって、ソース信号線S_2とゲート信号線が短絡していることがわかる。次にスイッチSS_2を閉じたまま、ゲート信号線G_1にオン電圧を印加し、順次最後のゲート信号線までシフトさせていく。前記各状態でオフ電圧に変化がないかを信号検出手段73で監視する。今、ゲート信号線G_2にオン電圧を印加した時、信号検出手段73が検出している信号がオフ電圧からオン電圧に変化する。したがって、ゲート信号線G_2とソース信号S_2にクロスショートが発生していることを検出できる。また走査回路19に出力電流制限回路35を形成しているため、クロスショートが発生していても、またゲート信号線の層間ショートが発生していても過電流が流れることがなく、安定にパネルおよび走査回路などを破壊することなく検査がおこなえる。

以上の動作をプローブPS_1～PS_nを移動させ、他のソース信号線にもおこなっていくことにより、検査をおこなうことができる。

次に、G・Dショート71の検出方法について説明する。まず、プローブPS_1～PS_nをソース信号線端に形成された検査用電極41に圧接する。次に走査回路19を動作させ、ゲート信号線G_1のよにオン電圧を印加し、他のゲート信号線にはオフ電圧を印加する。その時、順次選択手段SS_1からSSnまで選択的に閉じていき各ソース信号線に出力電流がないか信号検出手段73で測定する。以上の動作をクロスショートの説明と同様にすべてのゲート信号線に対しておこなう。今、ゲート信号線G_2にオン電圧を印加し、選択手段SS_2を閉じたときTFTの$TM_{2,2}$にG・Dショート71が発生かつTFTの$TM_{2,2}$が動作状態であるため、ゲート信号線G_2→G・Dショート71→$TM_{2,2}$ドレイン→$TM_{2,2}$ソース→ソース信号線S_2→PS_2→SS_2→信号検出手段73なる電流経路が生じるため、TFTの$TM_{2,2}$に欠陥が発生していることを検出できる。以上の動作をプローブを移動させ、すべてのソース信号線に対しておこなう。

最後に、S・Dショートの検出方法について説

明する。まず、プローブＰＳ１－ＰＳ３およびＱＳ１・ＱＳ３を検査用電極41に圧接する。次に走査回路19を動作させ、ゲート信号線Ｇ１のみにオン電圧を印加し、他のゲート信号線にはオフ電圧を印加する。次に選択手段ＵＳ１およびＵＳ３を閉じ、ソース信号線Ｓ１およびＳ３に信号印加手段72からの電圧を印加する。次に選択手段ＳＳ１，ＳＳ２，ＳＳ３を順次選択的に閉じていき、各ソース信号線Ｓ１，Ｓ２，Ｓ３に出力電圧がないか信号検出手段73で測定する。次にゲート信号線Ｇ３のみにオン電圧を印加し、前述の動作を行う。以上の動作をすべてのゲート信号線に対して行う。今ＴＦＴのＴＭ３３にＳ・Ｄショート70が発生しているため、ゲート信号線Ｇ３にオン電圧を印加し、ＴＦＴのＴＳ３３を動作状態にし、かつ選択手段ＳＳ３３を閉じたとき、信号印加手段72→ＵＳ３→ＱＳ３→ソース信号線Ｓ３→Ｓ・Ｄショート70→Ｐ３３→ＴＦＴのＴＳ３３→ソース信号線Ｓ３→ＰＳ３→ＳＳ３→信号検出手段73なる電流経路が生じるため、ＴＦＴのＴＭ３３にＳ・Ｄショート70が発生していることを検出できる。以上の動作をプローブを移動させ、すべてのソース信号線に対しておこなう。

検査工程終了後、良品にはソースＩＣ接続工程がおこなわれる。第３図はＩＣ接続電極30にソースＩＣ14を接着したところの断面図である。第３図において80は突起電極、81は導電性接合層である。前記突起電極はＡｎから構成され、ボールボンディングまたはネイルヘッドボンディング技術を用いてソースＩＣ14の端子上に２段突起状に形成される。また前記突起電極上に数十μｍの導電性接合層を形成されている。前記導電性接合層は、接着剤としてエポキシ系、フィノール系等を主剤として、Ａｇ・Ａｕ・Ｎｉ・Ｃ・Ｓ。Ｏ２などのフレークを混ぜたものであり、転写等の技術で形成される。ソースＩＣ14はＩＣ接続電極41と前記突起電極および導電性接合層を介して電極的に接続される。次に電気オーブン・ヒートコラムなどの方法を用い、導電性接合層を本硬化させ液晶表示パネルは完成する。

なお、本発明の液晶表示パネルの製造方法の説明で、パネル化工程後検査工程をおこなうとしたが、検査工程後、パネル化工程をおこなっても同様の効果が得られることは明らかである。したがって検査工程後、パネル化工程をおこなってもよい。

また本発明の液晶表示パネルは１つの絵素電極に２つのＴＦＴを形成するとしたがこれに限定するものではない。

発明の効果

本発明の液晶表示パネルは、絵素駆動用のＴＦＴおよび走査回路を半導体基板に形成し、ソースＩＣはＣＯＧ技術で搭載している。走査回路は比較的回路規模が小さく容易に形成できるため、欠陥および不良の発生率が低い。ソースＩＣの機能を半導体基板に作りこもうとすると、前記機能を実現するための回路は大きく、欠陥・不良が発生しやすい。したがって、本発明の液晶表示パネルの製造歩留まりは半導体基板にソースＩＣの機能を作りこんだものと比べると格段に高い。また、従来のフレキシブル基板を用いて、走査用ＩＣと接続する液晶表示パネルでは 100μｍ以下のファインパターンの信号線ピッチのものには対応することができないが、本発明の液晶表示パネルでは十分対応が可能である。

また、本発明の液晶表示パネルの製造方法では、ソースＩＣを接続する前に検査工程をおこなう。検査工程ではＳ・Ｄショート時に発生する電流は通常１μＡ以下と非常に微小である。したがって、ソースＩＣが検査工程時に接続あるいは形成されていると、前記ＩＣの入力インピーダンスの影響がでる。ゆえに微小な電流を検出することは困難であり、欠陥を検出することができない。また、走査回路を動作させるだけで、すべてのゲート信号線にオン電圧またはオフ電圧を一度に印加することができる。したがって、全ゲート信号線にプローブを圧接したのと同様の効果が得られ、検査時間が非常に短縮される。またプローブの圧接はソース信号線側だけでよく、プローブの作製コストの低減にもつながる。また、本発明の液晶表示

パネルは1つの絵素電極に2つのＴＦＴを形成し、走査回路により一度にすべてのゲート信号線に電圧を印加できるため、従来の液晶表示パネルでは検出することのできなかったＳ・Ｄオープン、Ｓ・Ｄショートをも検出することができる。以上のことより、走査回路形成後、液晶表示パネルの良否を高速にかつ容易に判定することができ、その効果は大である。

4．図面の簡単な説明

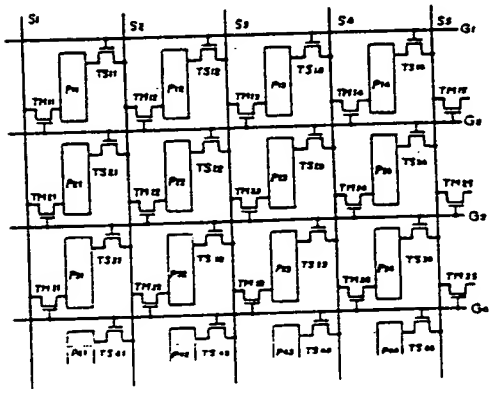
第1図(a)～(c)は本発明の液晶表示パネルの平面図および断面図、第2図は本発明の液晶表示パネルの表示領域の一部等価回路図、第3図(a)はソースＩＣ接続部の一部拡大平面図、第3図(b)は走査回路の機能ブロック図、第4図は本発明の液晶表示パネルの検査用電極形成部の一部拡大平面図、第5図(a)(b)～第8図は本発明の液晶表示パネルの製造方法の説明図、第9図(a)(b)は従来の液晶表示パネルの平面図および断面図、第10図は従来の液晶表示パネルの表示領域の一部等価回路図、第11図はフレキシブル基板を接続するための接続用電極形成部の一部拡大平面図、第12図(a)(b)～第14図は従来の液晶表示パネルの製造方法の説明図である。

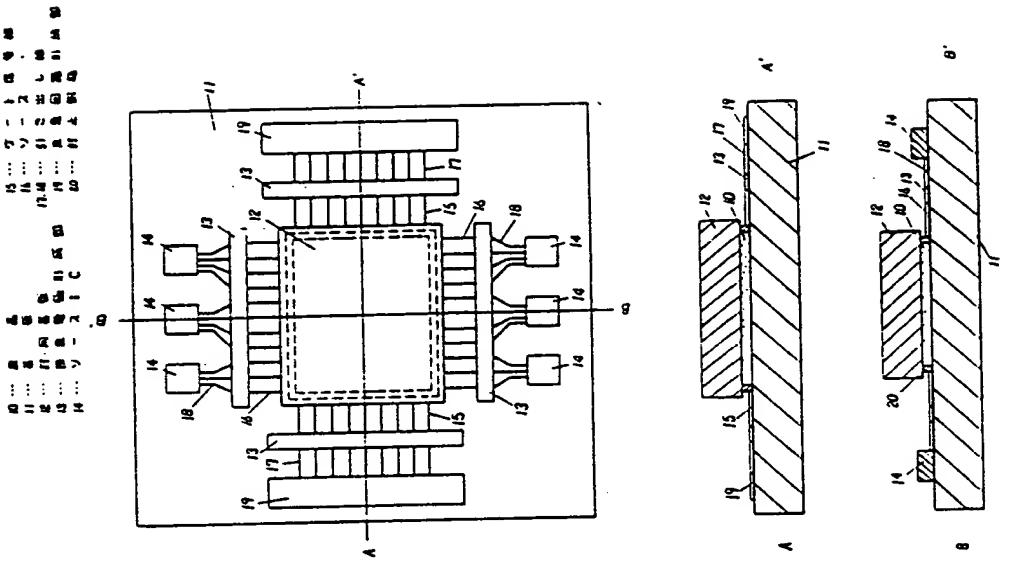
10・90……液晶、11・91……基板、12・92……対向電極、13……検査用電極形成部、14……ソースＩＣ、15・93・G_1～G_4……ゲート信号線、16・94・S_1～S_3……ソース信号線、17・18……引き出し線、19……走査回路形成部、20・100……封止樹脂、P_{11}～P_{44}……絵素電極、T_{11}～T_{44}・TM_{11}～TM_{34}・TS_{11}～TS_{44}……ＴＦＴ、30……ＩＣ接続電極、31……ＩＣ搭載位置、32……シフトレジスタ回路、33……ラッチ回路、34……ドライブ回路、35……出力電流制限回路、41……検査用電極、70……Ｓ・Ｄショート、71……Ｇ・Ｄショート、72……信号印加手段、73……信号検出手段、74・140……クロスショート、PS_1～PS_4・PG_1～PG_4・QS_2・QS_4……接続手段、SS_1～SS_4・SG_1～SG_4・US_2・US_4……選択手段、80……突起電極、81……導電性接合層、95……接続電極形成部、96……フレキシブル基板、97……ＩＣ基板、98……走査ＩＣ、99……ソースＩＣ、101……引き出し線、110……接続用電極、141……抵抗値測定手段。

代理人の氏名　弁理士　栗野重孝　ほか1名

S_1-S_3 … ソース信号線
G_1-G_4 … ゲート信号線
P_{11}-P_{44} … 絵素電極
TFT_{11}-TFT_{44}, TM_{11}-TM_{34} … ＴＦＴ

第2図



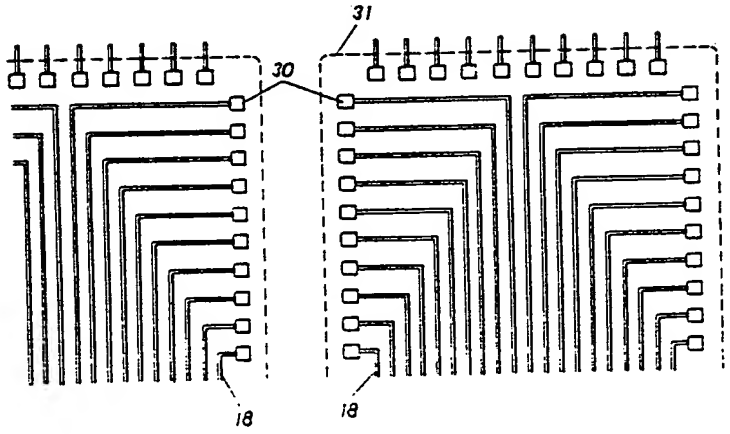


第 1 図

(a)　(b)　(c)

第 3 図

30 --- I C 搭載基板
31 --- I C 搭載位置

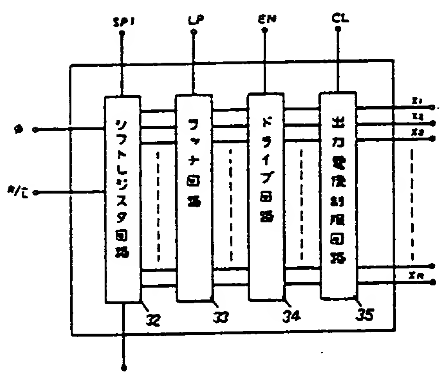


(a)

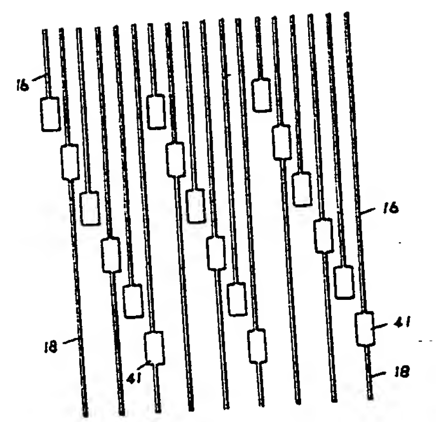
32 --- シフトレジスタ回路
33 --- ラッチ回路
34 --- ドライブ回路
35 --- 出力電流制御回路
φ --- クロック入力端子
R/L --- データシフト方向制御端子
SP1・SP2 --- シリアルデータ入力端子
LP --- ラッチ制御端子
EN --- イネーブル端子
CL --- 電流制限機能制御端子
X1〜Xn --- 出力端子

41 --- 検査用電極

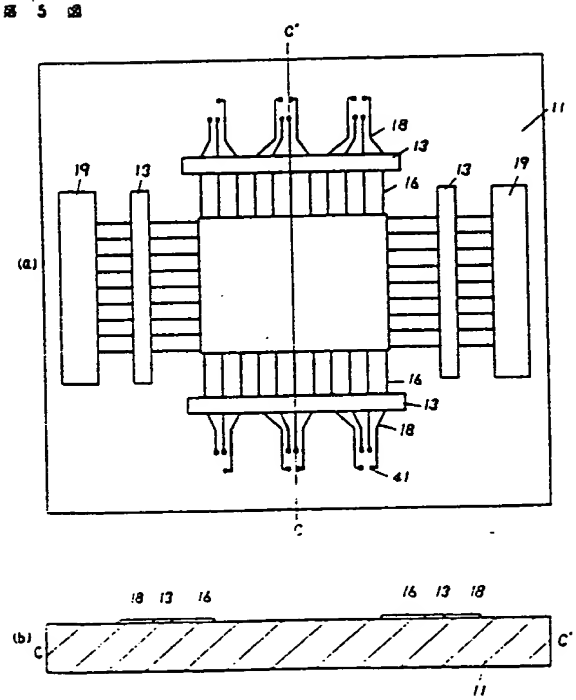
第3図



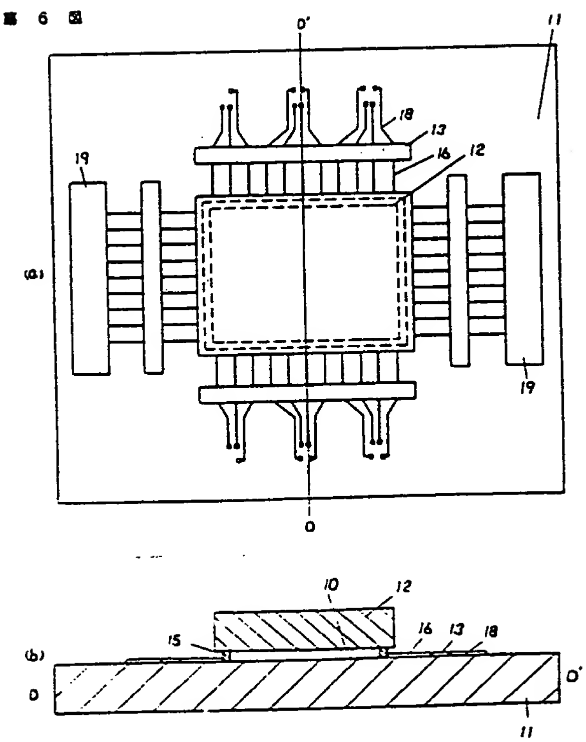
第4図



第5図

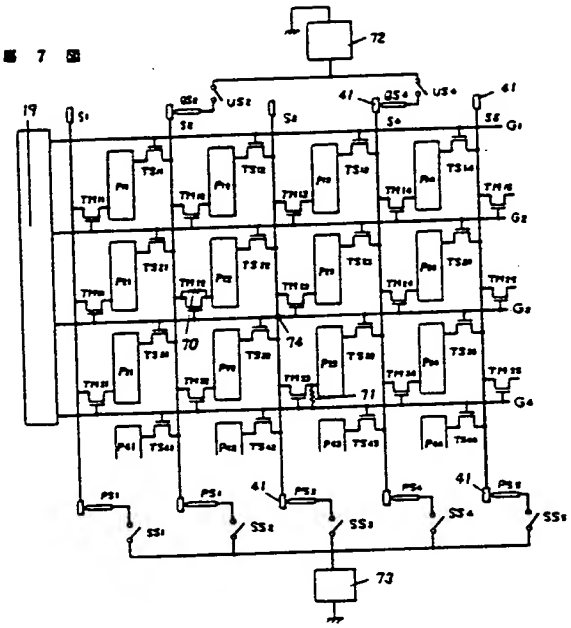


第6図

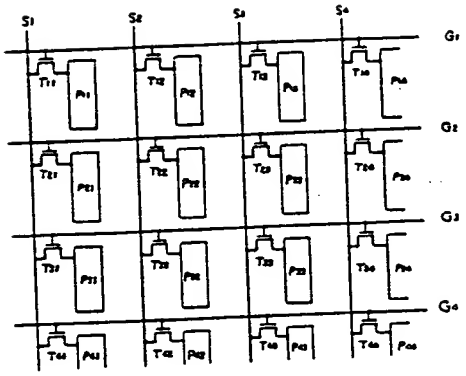


70 --- ソース・ドレイン電極工程
71 --- ゲート・ドレイン電極工程
72 --- 信号切換手段
73 --- 信号検出手段
74 --- クロスショート
GS1,GS4 --- 接続手段
US1,US4 --- 選択手段

第7図

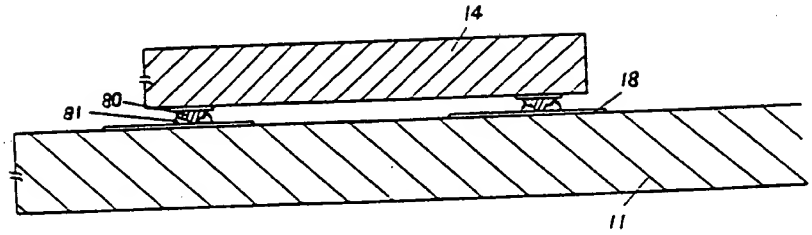


第10図

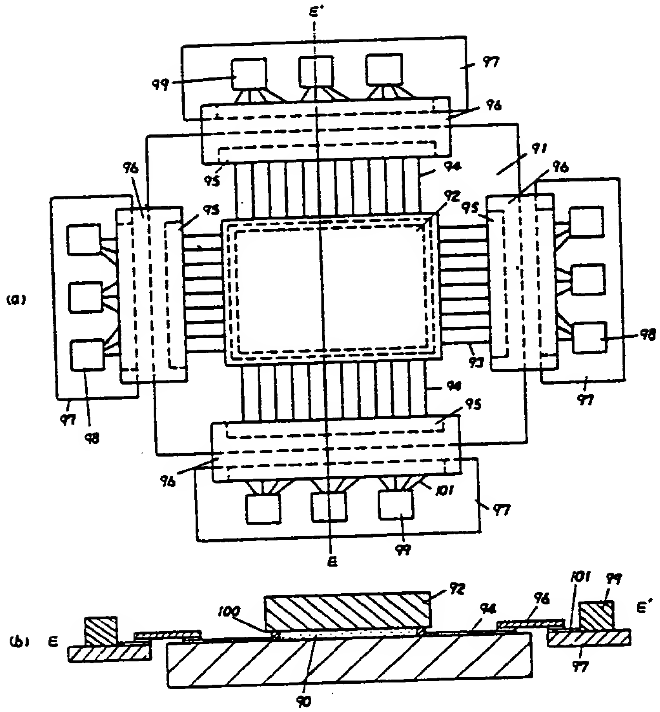


80 --- 突起電極
81 --- 導電性接着層

第8図



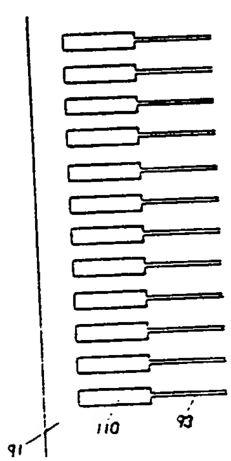
第9図



90 --- 治具
91 --- 基板
92 --- [illegible]基板
93 --- ゲート信号線
94 --- ソース信号線
95 --- 接続電極形成部
96 --- フレキシブル基板
97 --- IC基板
98 --- [illegible]IC
99 --- ソースIC
100 --- 封止樹脂
101 --- 引き出し線

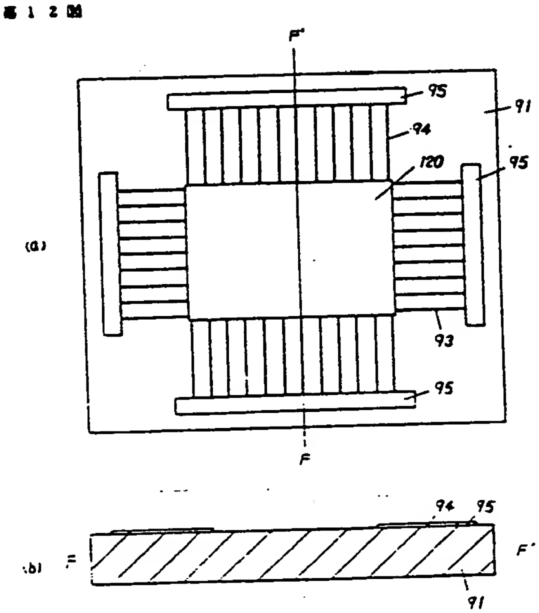
110 --- 接続用電極

第11図

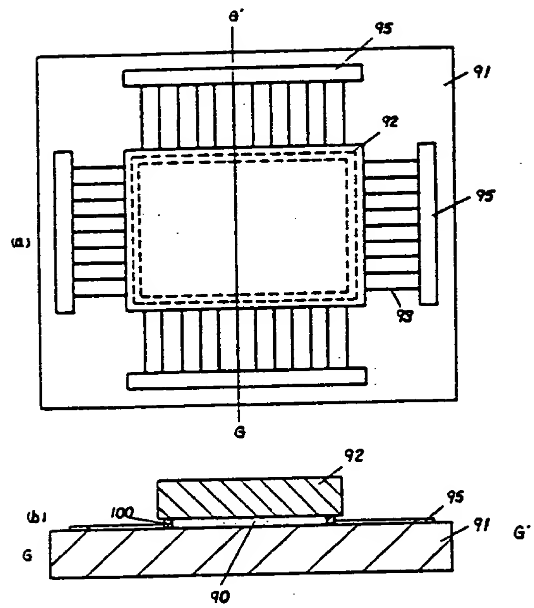


120 --- 表示領域

第12図



第13図



第14図

140 … クロスショート
SS1~SS4, SG1~SG4 … 選択手段